

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yutaka UENO

SERIAL NO: 10/080,580

FILED: February 25, 2002

FOR: SEMICONDUCTOR DEVICE HAVING LEADLESS PACKAGE STRUCTURE

GAU:

EXAMINER:



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-367482	November 30, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

10/080,580

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年11月30日

出 願 番 号

Application Number:

特願2001-367482

[ST.10/C]:

[JP2001-367482]

出 願 人

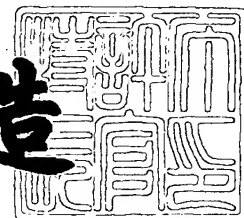
Applicant(s):

株式会社東芝

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3010368

【書類名】 特許願

【整理番号】 A000106386

【提出日】 平成13年11月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 上野 豊

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に配置された半導体チップと、

前記基板内に形成され、前記半導体チップと接続する電極と

を備えたリードレスパッケージ構造の半導体装置であって、

前記基板の側面に設けられ、前記基板の裏面から表面に達しない深さまで窪み、前記電極の少なくとも一部を露出する凹部と、

前記凹部内の前記電極の露出した部分に、前記基板の前記側面に達しない厚みで形成された金属と

を具備することを特徴とする半導体装置。

【請求項 2】 前記基板は、少なくとも 2 以上の多層基板であり、

前記凹部は、前記多層基板のうち、最上層の基板、又は、この最上層の基板を含む多層基板以外の基板内に設けられている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記凹部は、前記多層基板のうち、最下層の基板、又は、こ

の最下層の基板を含む多層基板内に設けられている

ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体チップは、能動素子を備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記半導体チップは、受動素子をさらに備えていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記基板、前記半導体チップ及び前記電極上に形成された封止樹脂をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記封止樹脂は、磁性体を含むことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記半導体チップと前記電極とは、ボンディングワイヤで接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記凹部は、四角形状又は半円形状であることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、樹脂封止式のリードレスパッケージ構造の半導体装置に関する。

【0002】

【従来の技術】

近年、携帯端末の小型化の要求に応えるために、半導体装置のリードレスパッケージ化が進んでいる。セラミック基板では、基板の端面にスルーホールが設けられた端面スルーホール構造を採用することが、半田実装性の観点からも一般的である。

【0003】

一方、低コスト化の要求に応えるために、チップが樹脂封止されたプラスチックパッケージ化の検討も進んでいる。このプラスチックパッケージの中でも、特に、液状樹脂を利用した樹脂印刷方式は、従来のトランスファーモールド方式と比べて、高価な金型が不要となるため、コストの低減を図る方式として有力である。

【0004】

【発明が解決しようとする課題】

しかしながら、端面スルーホール構造を採用した基板に、樹脂印刷方式による封止を適用すると、図 1 2 に示すように、スルーホール 5 1 の開口部に樹脂 1 8 が入り込み、端面電極 1 3 を塞いでしまうという問題が生じる。

【0005】

また、図 1 3 乃至図 1 5 に示すように、端面スルーホール構造を採用しないで、通常のビアホール 6 1 を採用した L G A (Land Grid Array) 方式とすると、上述する問題は生じないため樹脂封止プロセス的には最適である。しかし、この構造の場合、マザーボード実装後の半田の這い上がり程度が目視で確認できない等、実装性の問題が生じる。

【 0 0 0 6 】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、量産性及び半田実装性に優れた半導体装置を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【 0 0 0 8 】

本発明の一視点による半導体装置は、基板と、前記基板上に配置された半導体チップと、前記基板内に形成され、前記半導体チップと接続する電極とを備えたリードレスパッケージ構造の半導体装置であって、前記基板の側面に設けられ、前記基板の裏面から表面に達しない深さまで窪み、前記電極の少なくとも一部を露出する凹部と、前記凹部内の前記電極の露出した部分に、前記基板の前記側面に達しない厚みで形成された金属とを具備している。

【 0 0 0 9 】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 1 0 】

【第 1 の実施形態】

第 1 の実施形態は、基板の側面において、基板の裏面から表面に到達しない深さの凹部を形成し、この凹部から半田実装性を確認できるものである。

【 0 0 1 1 】

図 1 (a) は、本発明の第 1 の実施形態に係る樹脂封止後の半導体装置の斜視図を示す。図 1 (b) は、本発明の第 1 の実施形態に係る樹脂封止前の半導体装置の斜視図を示す。図 2 は、本発明の第 1 の実施形態に係る半導体装置の平面図を示す。図 3 は、図 2 の矢印 (III) 方向における半導体装置の側面図を示す。図 4 は、図 2 の矢印 (IV) 方向における半導体装置の側面図を示す。図 5 は、本発明の第 1 の実施形態に係る半導体装置の一部裏面図を示す。以下に、第 1 の実施形態に係る半導体装置の構造について説明する。

【 0 0 1 2 】

図 1 乃至図 5 に示すように、シート基板 1 1 内に第 1 の裏面電極 1 2 が配置され、この第 1 の裏面電極の周囲におけるシート基板 1 1 内に第 2 の裏面電極 1 3 が複数個配置されている。第 1 の裏面電極 1 2 上には能動素子を備えた半導体チップ 1 4 が搭載され、この半導体チップ 1 4 と第 2 の裏面電極 1 2 がそれぞれボンディングワイヤ 1 5 で接続されている。このような半導体チップ 1 4 は封止樹脂 1 8 で封止されている。

【 0 0 1 3 】

そして、第 1 の実施形態に係る半導体装置は、シート基板 1 1 の側面において、シート基板 1 1 の裏面から内部に窪んだ例えば四角形状の凹部 1 6 が形成されている。この凹部 1 6 は、シート基板 1 1 の裏面から表面にまで達しない深さであり、かつ、第 2 の裏面電極 1 2 の少なくとも一部をそれぞれ露出している。

【 0 0 1 4 】

また、凹部 1 6 によって露出された第 2 の裏面電極 1 2 の側面には、側面メタライズ 1 7 が形成されている。この側面メタライズ 1 7 は、シート基板 1 1 の側面にまで達しないように設けられている。

【 0 0 1 5 】

上記第 1 の実施形態に係る半導体装置は、次のような方法で製造される。まず、シート基板 1 1 を作製する。この際、量産性を考慮して、個片のシート基板 1 1 を複数個配置し、例えば 5 行×5 列の 2 5 個のシート基板 1 1 からなるレイアウトを形成する。次に、シート基板 1 1 の側面に、裏面から凹部 1 6 を形成する。ここで、樹脂印刷方式を採用した際に問題となる樹脂漏れを回避するために、凹部 1 6 の深さはシート基板 1 1 の表面に到達しない深さにする。次に、凹部 1 6 内に、第 2 の裏面電極 1 3 と接続する側面メタライズ 1 7 を形成する。この際、樹脂封止後のダイシング工程に支障が出ないようにするために、側面メタライズ 1 7 は凹部 1 6 内に留め、かつ切断後のパッケージ側面に露出しない大きさにする。こうして得られたシート基板 1 1 に半導体チップ 1 4 を実装する。次に、樹脂印刷方式にて、半導体チップ 1 4 を樹脂 1 8 で封止し、ダイシング方式にて、シート基板 1 1 を個片に分離して完成する。

【0016】

上記第1の実施形態によれば、凹部16の深さはシート基板11の表面に到達しない深さにする。このため、樹脂印刷方式を採用した場合でも、凹部16内に樹脂18が入り込むことを防止できる。従って、量産性に優れた半導体装置を提供できる。

【0017】

また、シート基板11の側面から、第2の裏面電極13の側面に形成された側面メタライズ16を目視することが可能である。このため、半田実装性を目視で確認できる。

【0018】

[第2の実施形態]

第2の実施形態は、第1の実施形態における基板を多層に変形した構造である。

【0019】

図6は、本発明の第2の実施形態に係る半導体装置の斜視図を示す。図7は、図6の矢印(VII)方向における半導体装置の側面図を示す。図8は、図6の矢印(VIII)方向における半導体装置の側面図を示す。以下に、第2の実施形態に係る半導体装置の構造について説明する。尚、第1の実施形態と異なる構造について主に説明する。

【0020】

図6乃至図8に示すように、第2の実施形態に係る半導体装置では、シート基板11が多層になっており、例えば下層基板21と上層基板22との2層からなっている。そして、下層基板21の側面において、この下層基板21の表面から裏面まで突き抜けた凹部16が形成されている。この凹部16は、第1の実施形態と同様に、第2の裏面電極12の少なくとも一部をそれぞれ露出している。また、凹部16によって露出された第2の裏面電極12の側面には、側面メタライズ17が形成されている。この側面メタライズ17は、第1の実施形態と同様に、シート基板11の側面にまで達しないように設けられている。

【0021】

尚、シート基板 1 1 は、3 以上の層からなってもよい。この場合、半導体チップ 1 4 が搭載される最上層の基板、若しくは、この最上層の基板を含む数層の基板に、凹部 1 6 を形成しなければよい。そして、最下層の基板、若しくは、この最下層の基板を含む数層の基板にのみ、凹部 1 6 を形成すればよい。

【 0 0 2 2 】

上記第 2 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 2 3 】

さらに、第 2 の実施形態では、上層基板 2 2 には凹部 1 6 を形成せずに、下層基板 2 1 には貫通する凹部 1 6 を形成し、これら上層基板 2 2 及び下層基板 2 1 を合わせることでシート基板 1 1 を形成している。従って、第 1 の実施形態のように、凹部 1 6 をシート基板 1 1 の裏面から表面に達しないような深さに制御して形成する必要がなくなる。このため、第 1 の実施形態よりも、凹部 1 6 の形成が容易となる。

【 0 0 2 4 】

【第 3 の実施形態】

第 3 の実施形態は、第 1 の実施形態に係る半導体チップに能動素子だけでなく受動素子も搭載した構造である。

【 0 0 2 5 】

図 9 は、本発明の第 3 の実施形態に係る半導体装置の斜視図を示す。以下に、第 3 の実施形態に係る半導体装置の構造について説明する。尚、第 1 の実施形態と同様の構造については説明を省略する。

【 0 0 2 6 】

図 9 に示すように、第 3 の実施形態に係る半導体装置は、半導体チップ 3 1 に能動素子と R L C の受動素子とを備えている。例えば、L と C からなるインピーダンス変換回路を形成して、整合回路内蔵型の電力増幅器を構成してもよい。また、受動素子は、表面実装型部品を使用してもよいし、あらかじめ基板 1 1 に内蔵しておいてもよい。

【 0 0 2 7 】

上記第 3 の実施形態によれば、第 1 の実施形態と同様に、量産性及び半田実装性に優れた整合回路内蔵型の電力増幅器を提供できる。

【 0 0 2 8 】

尚、第 3 の実施形態の構造は、多層の基板からなる第 2 の実施形態に適用することも可能である。

【 0 0 2 9 】

[第 4 の実施形態]

第 4 の実施形態は、第 1 の実施形態に係る封止樹脂に磁性体を含ませた構造である。

【 0 0 3 0 】

図 1 0 は、本発明の第 4 の実施形態に係る半導体装置の斜視図を示す。以下に、第 4 の実施形態に係る半導体装置の構造について説明する。尚、第 1 の実施形態と同様の構造については説明を省略する。

【 0 0 3 1 】

図 1 0 に示すように、第 4 の実施形態に係る半導体装置では、磁性体が分散された封止樹脂 4 1 が用いられる。そして、例えば、樹脂中に磁性体を含ませた封止樹脂 4 1 を形成した後、この封止樹脂 4 1 で半導体チップ 1 4 が封止される。

【 0 0 3 2 】

上記第 4 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 3 3 】

さらに、第 4 の実施形態では、電力増幅器をマザーボードに実装した際に問題と成り得る不要輻射等に対しても、磁性体を含む封止樹脂 4 1 が半導体チップ 1 4 をシールドしているため、ノイズの低減を図ることができる。

【 0 0 3 4 】

尚、第 4 の実施形態の構造は、多層の基板からなる第 2 の実施形態や、受動素子を搭載した第 3 の実施形態に適用することも可能である。

【 0 0 3 5 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階では

その要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、次のような構造に変形することが可能である。

【0036】

凹部16の形状は、四角形に限定されず、例えば、図11に示すように、四角形の角部分がラウンドした半円形状にしてもよい。

【0037】

ワイヤボンディングを利用した典型的なフェースアップタイプの実装方式に限定されず、フリップチップタイプの実装方式にしてもよい。

【0038】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0039】

【発明の効果】

以上説明したように本発明によれば、量産性及び半田実装性に優れた半導体装置を提供できる。

【図面の簡単な説明】

【図1】

図1(a)は、本発明の第1の実施形態に係る樹脂封止後の半導体装置を示す斜視図、図1(b)は、本発明の第1の実施形態に係る樹脂封止前の半導体装置を示す斜視図。

【図2】

本発明の第1の実施形態に係る半導体装置を示す平面図。

【図3】

図2の矢印(III)方向における半導体装置を示す側面図。

【図4】

図 2 の矢印 (IV) 方向における半導体装置を示す側面図

【図 5】

本発明の第 1 の実施形態に係る半導体装置を示す一部裏面図。

【図 6】

本発明の第 2 の実施形態に係る半導体装置を示す斜視図。

【図 7】

図 6 の矢印 (VII) 方向における半導体装置を示す側面図。

【図 8】

図 6 の矢印 (VIII) 方向における半導体装置を示す側面図。

【図 9】

本発明の第 3 の実施形態に係る半導体装置を示す斜視図。

【図 1 0】

本発明の第 4 の実施形態に係る半導体装置を示す斜視図。

【図 1 1】

本発明の各実施形態に係る半導体装置の凹部の変形例を示す一部裏面図。

【図 1 2】

従来技術による端面スルーホール構造の半導体装置を示す斜視図。

【図 1 3】

従来技術による L G A 方式の半導体装置を示す平面図。

【図 1 4】

図 1 2 の矢印 (XIV) 方向における半導体装置を示す側面図。

【図 1 5】

図 1 2 の矢印 (XV) 方向における半導体装置を示す側面図。

【符号の説明】

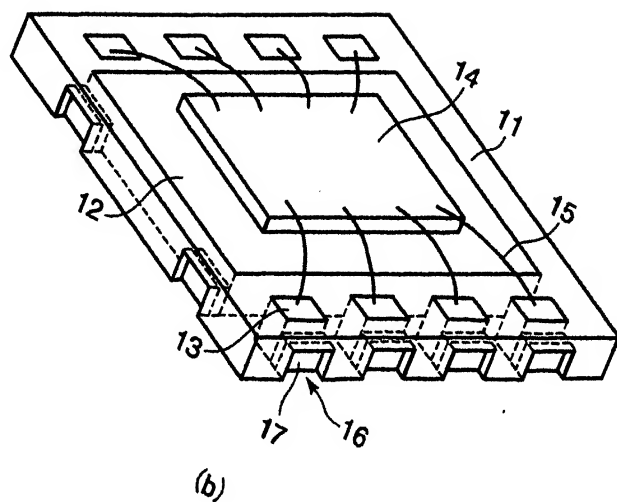
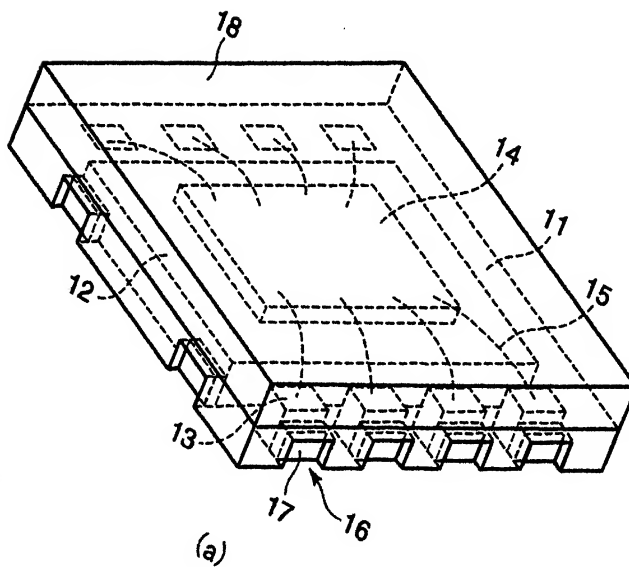
- 1 1 … シート基板、
- 1 2 … 第 1 の裏面電極、
- 1 3 … 第 2 の裏面電極、
- 1 4 … 能動素子を備えた半導体チップ、
- 1 5 … ボンディングワイヤ、

- 1 6 …凹部、
- 1 7 …側面メタライズ、
- 1 8 …封止樹脂、
- 2 1 …下層基板、
- 2 2 …上層基板、
- 3 1 …能動素子及び受動素子を備えた半導体チップ、
- 4 1 …磁性体を含む封止樹脂。

【書類名】
【図1】

図面

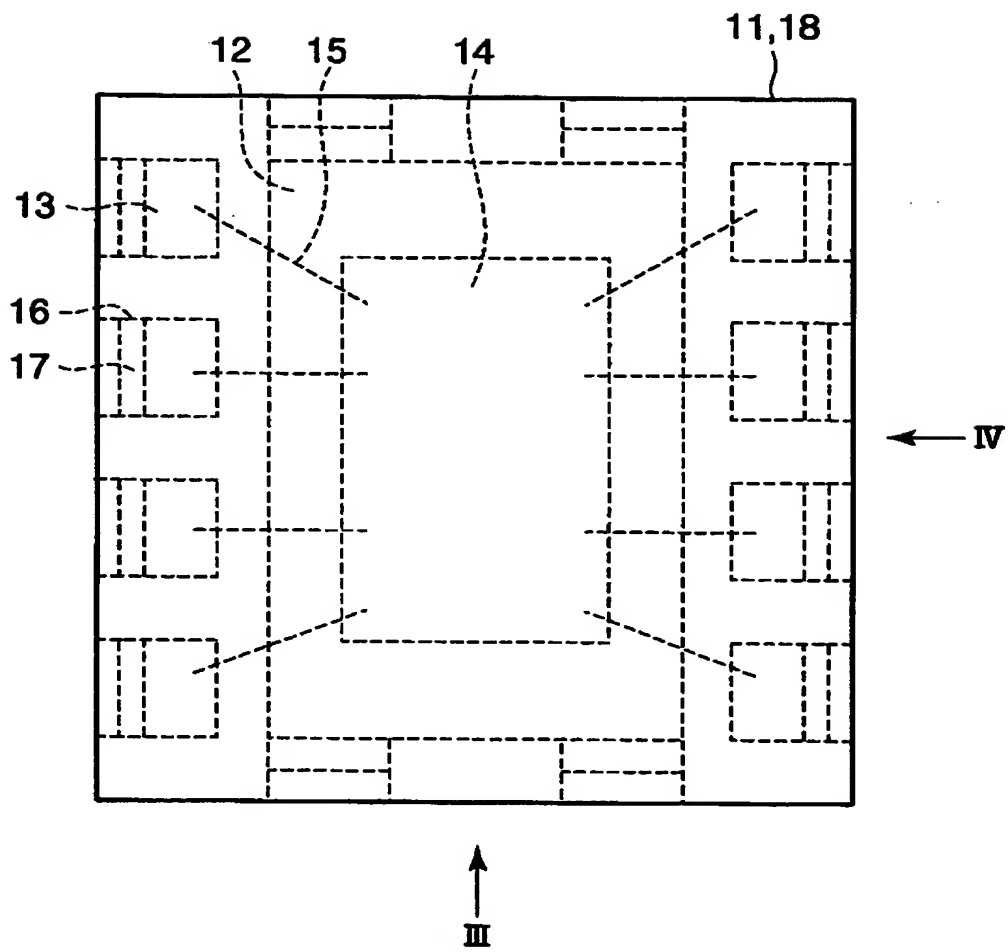
特2001-367482



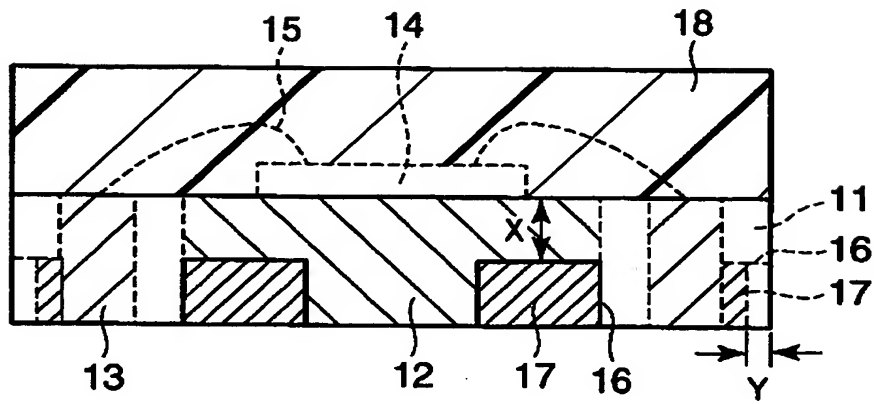
1

出証特2002-3010368

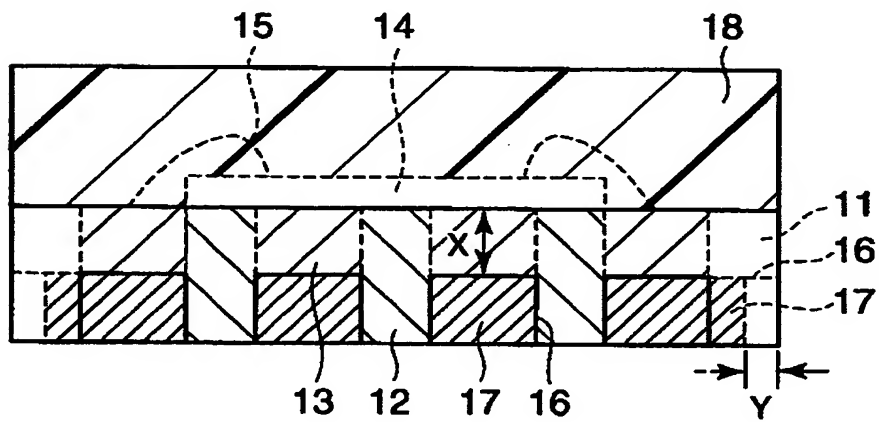
【図 2】



【図3】

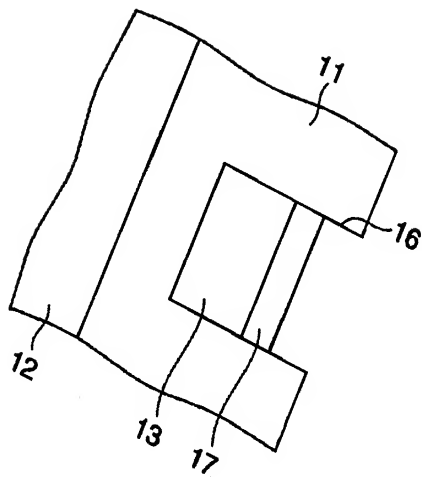


【図4】

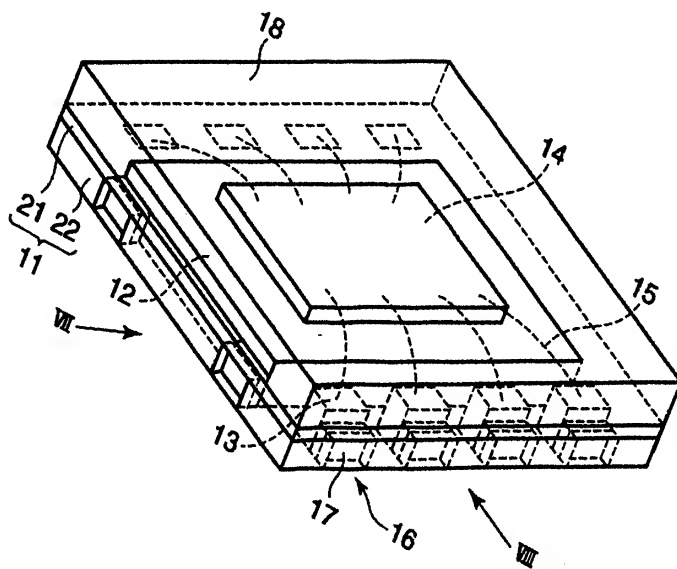


【図5】

特2001-367482

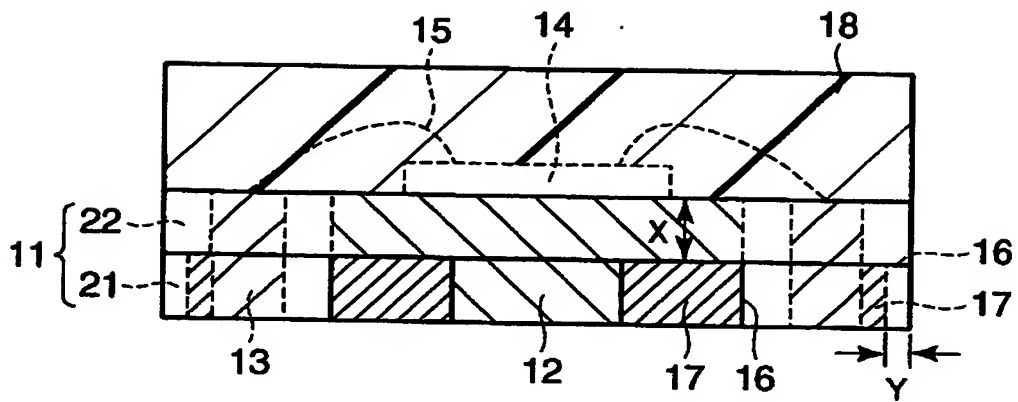


【図6】

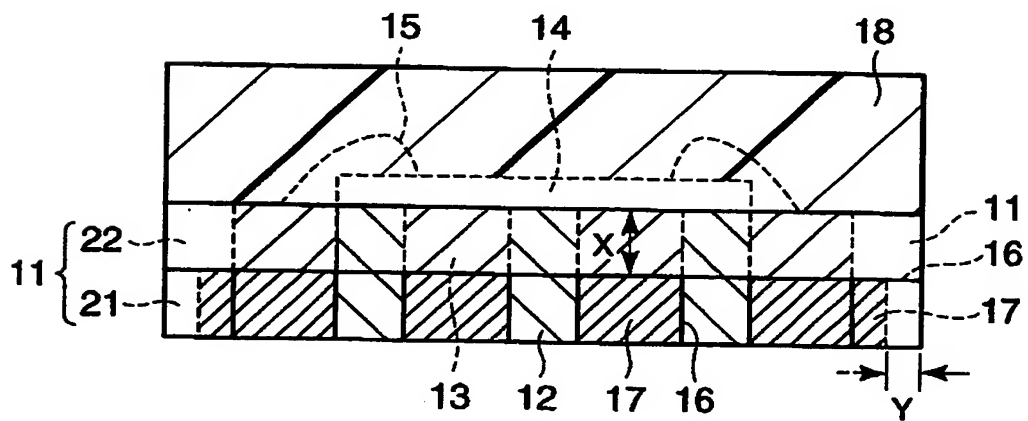


出証特2002-3010368

【図 7】

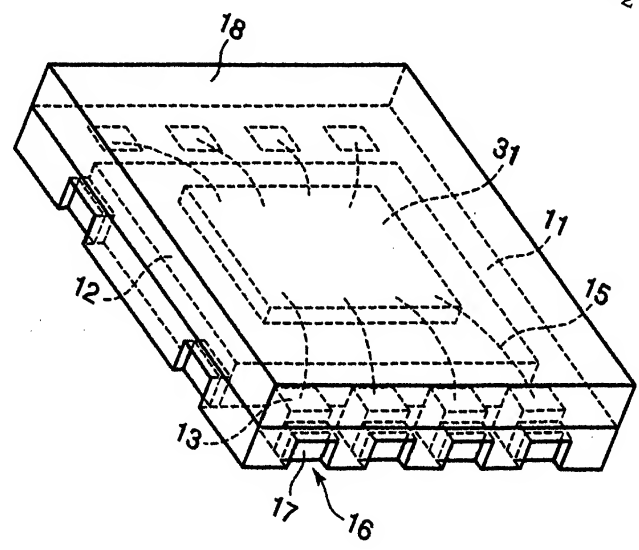


【図 8】

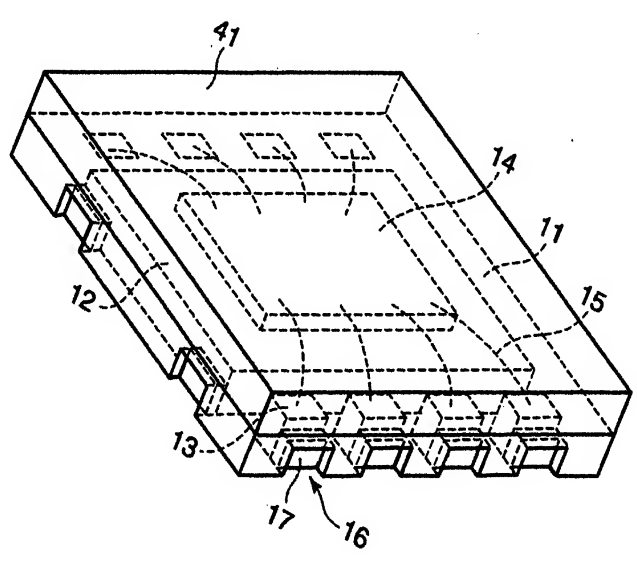


【図9】

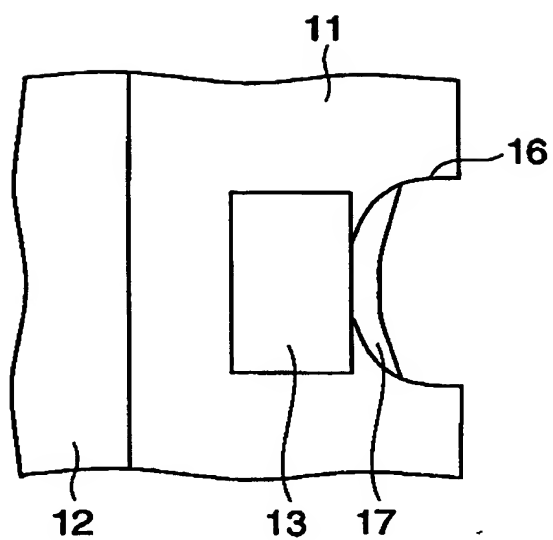
特2001-367482



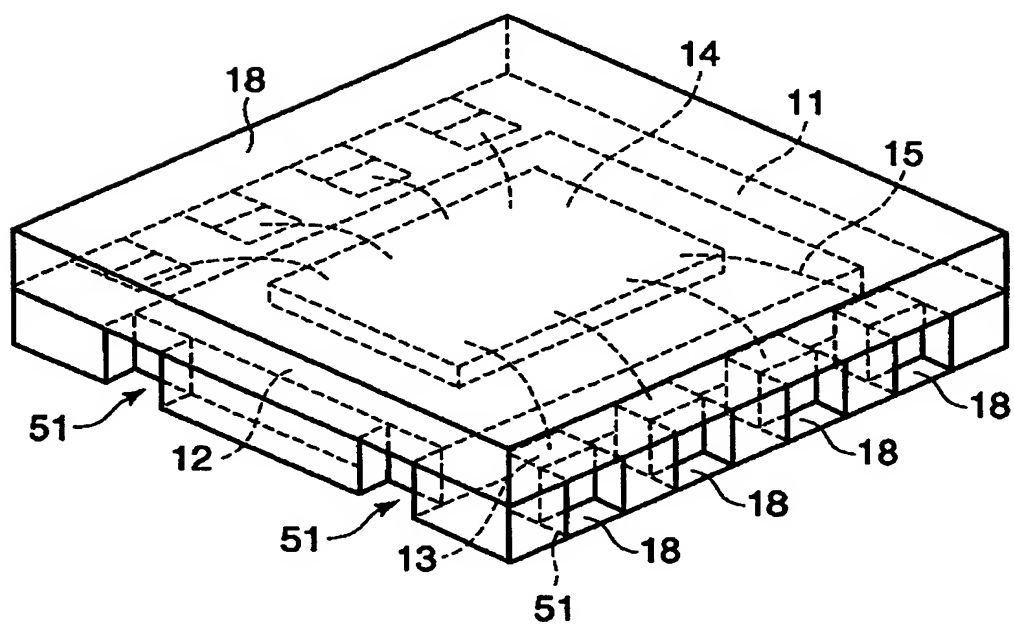
【図10】



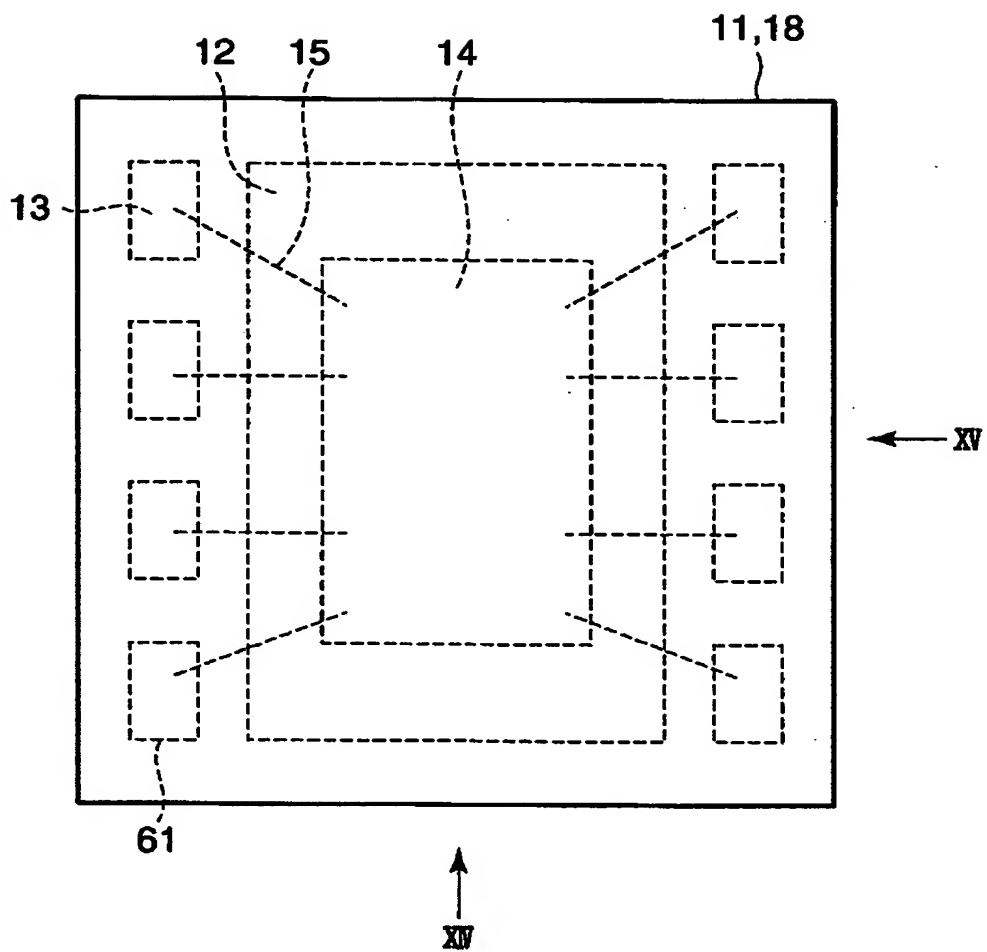
【図 1 1】



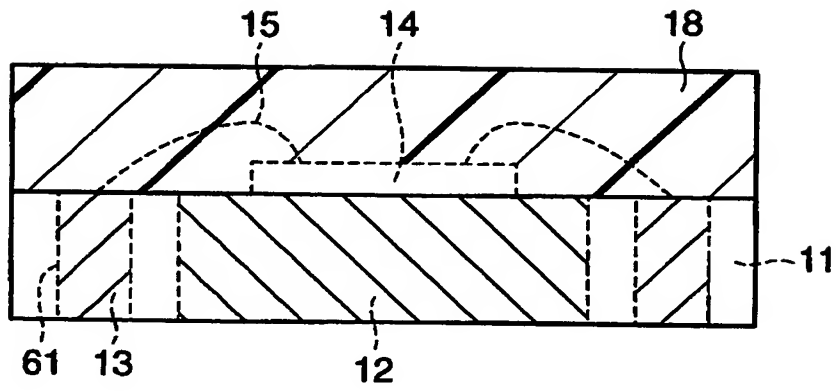
【図 1 2】



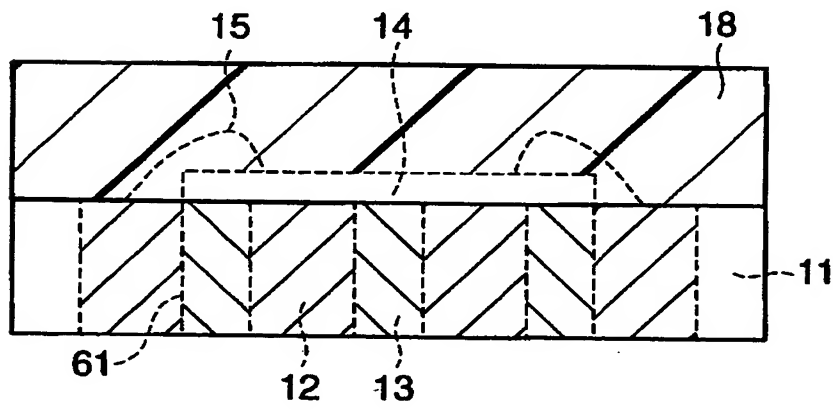
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 量産性及び半田実装性に優れた半導体装置を提供する。

【解決手段】 半導体装置は、基板 1 1 と、この基板 1 1 上に配置された半導体チップ 1 4 と、基板 1 1 内に形成され、半導体チップ 1 4 と接続する電極 1 3 とを備えたリードレスパッケージ構造の半導体装置であって、基板 1 1 の側面に設けられ、基板の裏面から表面に達しない深さまで窪み、電極 1 3 の少なくとも一部を露出する凹部 1 6 と、この凹部 1 6 内の電極 1 3 の露出した部分に、基板 1 1 の側面に達しない厚みで形成された金属 1 7 とを具備している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝